

IPW

Patent



BEST AVAILABLE COPY Customer No. 31561

Application No.: 10/710,844

Docket No.13137-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Kuo
Application No. : 10/710,844
Filed : Aug 06, 2004
For : LOW-TEMPERATURE POLYSILICON THIN FILM
TRANSISTOR AND FABRICATION METHOD THEREOF
Examiner : N/A
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93109432,
filed on: 2004/4/6.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Nov 22, 2004

By: 
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

7F-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234
E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder.

申 請 日：西元 2004 年 04 月 06 日
Application Date

申 請 案 號：093109432
Application No.

申 請 人：廣輝電子股份有限公司
Applicant(s)

CERTIFIED COPY OF PRIORITY DOCUMENT

局 長
Director General

蔡 緣 生

發文日期：西元 2004 年 8 月
Issue Date

發文字號：09320793980
Serial No.

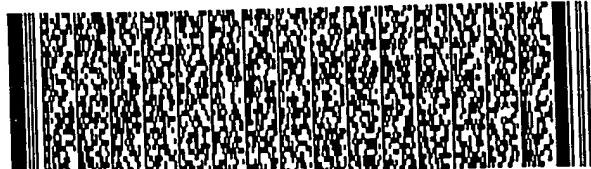
申請日期：
申請案號：93109432

IPC分類

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	低溫多晶矽薄膜電晶體結構及其製造方法
	英文	STRUCTURE OF LTPS-TFT AND FABRICATING METHOD THEREOF
二、 發明人 (共1人)	姓名 (中文)	1. 郭政彰
	姓名 (英文)	1. KUO, CHENG CHANG
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 桃園縣龜山鄉華亞二路189號
	住居所 (英 文)	1. NO. 189, HUAYA 2ND RD., GUEISHAN SHIANG, TAOYUAN, TAIWAN 333, R. O. C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 廣輝電子股份有限公司
	名稱或 姓名 (英文)	1. QUANTA DISPLAY INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞二路189號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. NO. 189, HUAYA 2ND RD., GUEISHAN SHIANG, TAOYUAN, TAIWAN 333, R. O. C.
代表人 (中文)	1. 林百里	
代表人 (英文)	1. LAM, PAK LEE	



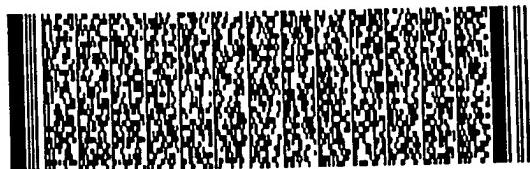
13137rwf.prd

四、中文發明摘要 (發明名稱：低溫多晶矽薄膜電晶體結構及其製造方法)

一種低溫多晶矽薄膜電晶體結構，包括閘極、閘介電層、圖案化矽層、圖案化絕緣層、歐姆接觸層以及源極/汲極層。閘極與閘介電層係依序配置在基板上，圖案化矽層與圖案化絕緣層則依序配置在閘極上方的閘介電層上。且圖案化矽層包括多晶矽通道區以及非晶矽熱載子抑制區。歐姆接觸層係配置在部分的閘介電層與非晶矽熱載子抑制區上方的部分圖案化絕緣層上，並連接非晶矽熱載子抑制區，源極/汲極層則係配置在閘介電層以及歐姆接觸層上。非晶矽熱載子抑制區係位於歐姆接觸層與多晶矽通道層之間，用以抑制熱載子效應，減少漏電流，進而改善電晶體的效能。

五、英文發明摘要 (發明名稱：STRUCTURE OF LTPS-TFT AND FABRICATING METHOD THEREOF)

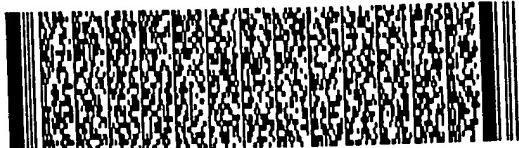
A structure of LTPS-TFT comprising a gate, a gate dielectric layer, a patterned silicon layer, a patterned insulating layer, a ohmic contact layer and a source/drain layer is provided. The gate and the gate dielectric layer are sequentially deposited on a substrate. The patterned silicon layer and the patterned insulating layer are sequentially deposited on the



四、中文發明摘要 (發明名稱：低溫多晶矽薄膜電晶體結構及其製造方法)

五、英文發明摘要 (發明名稱：STRUCTURE OF LTPS-TFT AND FABRICATING METHOD THEREOF)

gate dielectric layer above the gate. The patterned silicon layer has included a poly-silicon channel region and an amorphous silicon hot carrier restrain region. The ohmic contact layer is deposited on a portion of the gate dielectric layer and of the patterned insulating layer above the amorphous silicon hot carrier restrain region and connecting with the amorphous



四、中文發明摘要 (發明名稱：低溫多晶矽薄膜電晶體結構及其製造方法)

五、英文發明摘要 (發明名稱：STRUCTURE OF LTPS-TFT AND FABRICATING METHOD THEREOF)

silicon hot carrier restrain region. The source/drain layer is deposited on the ohmic contact layer and the gate dielectric layer. The amorphous silicon hot carrier restrain region is located between the ohmic contact layer and the poly-silicon channel region for restraining the hot carrier effect and decreasing leakage current so as to improve the performance of the



四、中文發明摘要 (發明名稱：低溫多晶矽薄膜電晶體結構及其製造方法)

五、英文發明摘要 (發明名稱：STRUCTURE OF LTPS-TFT AND FABRICATING METHOD THEREOF)

transistor.



六、指定代表圖

(一)、本案代表圖為：圖2H

(二)、本案代表圖之元件代表符號簡單說明：

200：基板

202：閘極

204：閘介電層

207、211：圖案化多晶矽層

208：圖案化絕緣層

212：多晶矽通道區

214：歐姆接觸層

216：非晶矽熱載子抑制區

218：源極／汲極層

220：保護層

400：低溫多晶矽薄膜電晶體

402：圖案化矽層



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

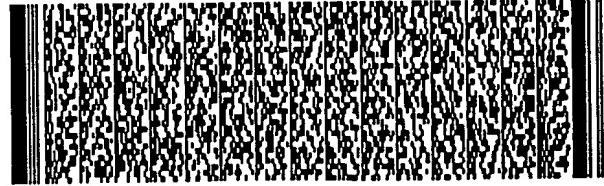
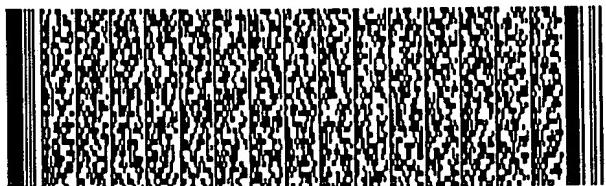
【發明所屬之技術領域】

本發明是有關於一種電晶體的結構及其製造方法，且特別是有關於一種低溫多晶矽薄膜 (low temperature poly-silicon，簡稱為LTPS) 電晶體結構及其製造方法。

【先前技術】

在一般元件中，都需配置開關以驅動元件的運作。以主動式顯示元件為例，其通常是以薄膜電晶體(Thin Film Transistor，TFT)來作為驅動開關。而薄膜電晶體又可依通道層的材質分為非晶矽(amorphous silicon，簡稱a-Si)薄膜電晶體以及多晶矽(poly-silicon)薄膜電晶體，此外，薄膜電晶體亦可依照通道層與閘極的相對位置而區分為頂閘極型態(top-gate TFT)以及底閘極型態(bottom-gate TFT)。由於底閘極型態的薄膜電晶體製程上具有較不受污染的界面（絕緣層/非晶矽層），且可配合成熟的後通道蝕刻(back-channel etch)技術，因此目前各世代的液晶面板廠一般都是以非晶矽的底閘極薄膜電晶體作為液晶顯示器的開關元件。然而，由於多晶矽薄膜電晶體相較於非晶矽薄膜電晶體其消耗功率小且電子遷移率大，因此逐漸受到市場的重視。

早期的多晶矽薄膜電晶體的製程溫度高達攝氏1000度，因此基板材質的選擇受到大幅的限制，不過，近來由於雷射技術的發展，製程溫度可降至攝氏600度以下，而利用此種製程所形成的多晶矽薄膜電晶體即稱為低溫多晶矽薄膜電晶體。此製程的主要技術是利用雷射退火製程將



五、發明說明 (2)

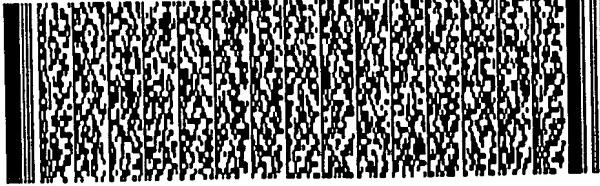
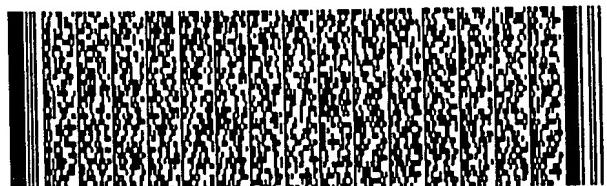
形成在基板上的非晶矽薄膜熔融 (Melting) 後再結晶 (Re-crystallization) 成為多晶矽薄膜，而一般常用之雷射退火製程為準分子雷射退火 (Excimer Laser Annealing，簡稱為ELA) 製程。

然而，雖然多晶矽薄膜電晶體具有高載子遷移率以及高驅動電流（約為 10^{-4} 微安培）的優異特性，但相對來說，其亦具有較高的漏電流 (leakage current)（約為 10^{-9} 微安培），而且容易在汲極 (drain) 誘發熱載子效應 (hot carrier effect)，進而導致元件退化。因此，現今多在電晶體中之通道層與源極/汲極之間加入淺摻雜汲極 (Light Doped Drain，簡稱LDD) 之設計，以避免產生熱載子效應。

圖1A至圖1E繪示為習知底閘極型態的低溫多晶矽薄膜電晶體的製造流程剖面示意圖。請參照圖1A，首先在基板100上依序形成閘極102、閘介電層104以及非晶矽層106。接著再進行ELA製程，以準分子雷射光束118照射非晶矽層106，使其熔融後再結晶而成為多晶矽層。請參照圖1B，然後再圖案化多晶矽層106a，以定義出薄膜電晶體的主動區域。

請參照圖1C，之後在閘極102上方的多晶矽層106a上形成氧化矽層108，並以氧化矽層108為罩幕進行摻雜製程植入離子130，以定義出電晶體的歐姆接觸層110。而閘極102上方的多晶矽層106a即為電晶體之通道層112。

請參照圖1D，接著以另一氧化矽層108a為罩幕，進行



五、發明說明 (3)

淺摻雜汲極的製程，植入濃度較低的離子¹⁴⁰，以於通道層¹¹²與歐姆接觸層¹¹⁰之間形成淺摻雜汲極¹¹⁴。最後在歐姆接觸層¹¹⁰以及閘介電層¹⁰⁴上形成源極/汲極層¹¹⁶，並覆蓋部分之氧化矽層^{108a}，即完成底閘極型態的低溫多晶矽薄膜電晶體¹²⁰，如圖^{1E}所示。

由上述製程可知，至少需要5道光罩才能完成習知的低溫多晶矽薄膜電晶體¹²⁰，而且LDD製程較為複雜，因而使低溫多晶矽薄膜電晶體具有較高的製造成本。

【發明內容】

因此，本發明的目的就是提供一種低溫多晶矽薄膜電晶體，藉由其中之非晶矽熱載子抑制區來改善電晶體的元件特性。

本發明的另一目的是提供一種低溫多晶矽薄膜電晶體的製造方法，可節省製造成本，還可以在電晶體內適當配設非晶矽熱載子抑制區，以改善電晶體的元件特性。

本發明提出一種低溫多晶矽薄膜電晶體結構，主要是由依序配置在基板上的閘極、閘介電層、圖案化矽層、圖案化絕緣層、歐姆接觸層以及源極/汲極層所構成。其中，圖案化矽層係配置於閘介電層上，並位於閘極正上方。且圖案化矽層包括多晶矽通道區以及位於多晶矽通道區兩側的非晶矽熱載子抑制區，而此處之非晶矽熱載子應退化之機率。圖案化絕緣層係覆蓋住圖案化矽層，歐姆接觸層係配置在部分閘介電層以及非晶矽熱載子抑制區上方之

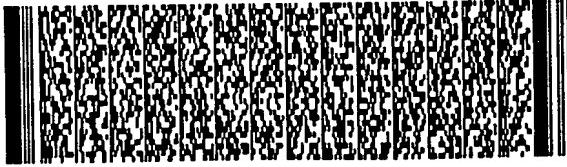
五、發明說明 (4)

部分絕緣層上而暴露出多晶矽通道區上方之圖案化絕緣層，並連接非晶矽熱載子抑制區。源極/汲極層則係配置在歐姆接觸層上，甚至是部分的基板上。

依照本發明之實施例所述，此低溫多晶矽薄膜電晶體結構更包括有一保護層，配置在源極/汲極層上，且覆蓋絕緣層。

依照本發明之實施例所述，本發明之歐姆接觸層可以是n型摻雜歐姆接觸層或是p型摻雜歐姆接觸層。換言之，本發明之低溫多晶矽薄膜電晶體可以是n型電晶體或是p型電晶體。而在另一實施例中，絕緣層的材質例如是氮化矽或是氧化矽。

方法開以第晶。案案
造成層之非上圖圖
製形緣分化層二二
體的上絕部案緣第二
晶基案置二化一中層
電與圖配第案第其緣
薄闡層層。及形層化
矽在矽緣方。以而電案
多接非晶絕上層層介圖
溫，一案的晶晶之分之。
種低極第圖極非非分部
提出形成序其中，闡化二部
本發明板再層。並位圖及露暴
首先。然晶層置案層層
非矽層配置圖矽矽
二晶係再晶晶



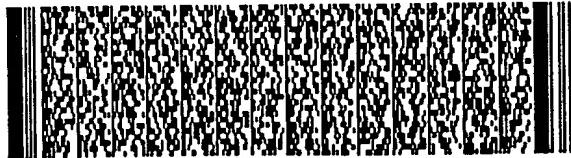
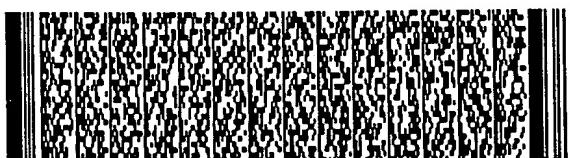
五、發明說明 (5)

抑制區。然後在第二圖案化非晶矽層上形成源極/汲極層。

在基板上完成第二圖案化非晶矽層的配置之後，接著在第二圖案化非晶矽層上形成源極/汲極層，而源極/汲極層的材質例如是金屬或其他導電材料。然後令位於閘極上方的部分第一圖案化非晶矽層熔融後再結晶，以形成多晶矽通道區。其中，多晶矽通道區的兩側係自然形成一非晶矽熱載子抑制區。

依照本發明之實施例所述，多晶矽通道區的形成方法是準分子例如是進行雷射退火製程，在一實施例中其例如是雷射退火製程。

依照本發明之實施例所述，在形成圖案化絕緣層之後與形成源極/汲極層之前，更包括對第一非晶矽層進行摻雜。在另一實施例中，其例如是在形成第二非晶矽層之後與形成源極/汲極層之前，同時或同步對第一非晶矽層以



五、發明說明 (6)

及第二非晶矽層進行摻雜。此外，在本發明之又一實施例中，其還可以是在形成多晶矽通道區之後與形成源極/汲極層之前，對多晶矽通道區與非晶矽熱載子抑制區以外的部分第一圖案化非晶矽層以及第二圖案化非晶矽層進行摻雜。而且，在完成摻雜製程後，可以對摻有雜質之部分第一圖案化非晶矽層以及第二圖案化非晶矽層進行活化(activation)製程以修補其內的晶格缺陷(defects of crystal lattice)。

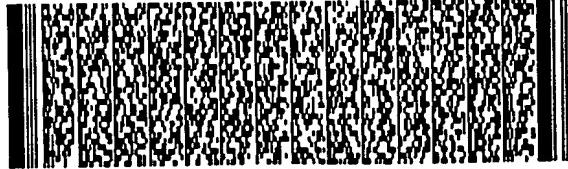
依照本發明之實施例所述，在形成多晶矽通道區時，還可以同時令多晶矽通道區以及非晶矽熱載子抑制區以外的第一圖案化非晶矽層以及第二圖案化非晶矽層熔融後再結晶，以形成多晶矽歐姆接觸層。

依照本發明之實施例所述，在形成源極/汲極層之後，更包括在源極/汲極層以及基板上形成保護層，並覆蓋住圖案化絕緣層。

由於本發明之低溫多晶矽薄膜電晶體的製程與習知之低溫多晶矽薄膜電晶體的製程相較之下，可少一道LDD製程與光罩，因此可節省製造成本。此外，本發明之低溫多晶矽薄膜電晶體可兼具多晶矽薄膜電晶體之高驅動電流以及非晶矽薄膜電晶體之低漏電流的特性。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】



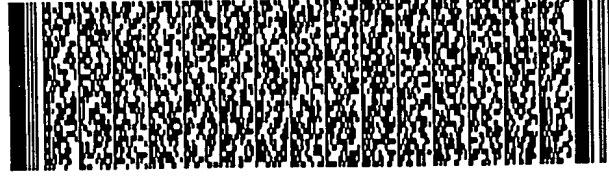
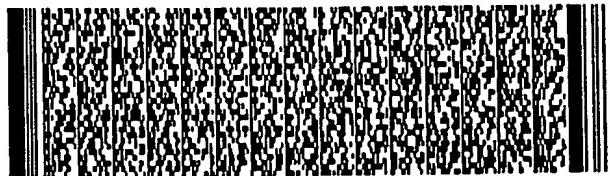
五、發明說明 (7)

本發明係在低溫多晶矽薄膜電晶體的通道區與源極/汲極區之間設計有以非晶矽所構成之區域，以降低高電場下源極/汲極區受到高速電子的衝擊，進而避免熱載子效應的發生。而且，本發明之低溫多晶矽薄膜電晶體可以多種不同的製程來完成，下文將舉數個實施例加以說明。值得注意的是，以下實施例係用以說明本發明之低溫多晶矽薄膜電晶體及其製造方法，並非用以限定本發明。熟習此技藝者可依據本發明所揭露之技術作適當的修改與變化，惟其亦落於本發明之範圍內。

第一實施例

圖2A至圖2H繪示為本發明一較佳實施例的一種低溫多晶矽薄膜電晶體的製造流程剖面示意圖。請參照圖2A，首先在基板200上依序形成閘極202、開介電層204、第一非晶矽層206以及圖案化絕緣層208。其中，圖案化絕緣層208係配置在第一非晶矽層206上，並位於閘極202上方。在本實施例中，圖案化絕緣層208的材質例如是氧化矽或是氮化矽。

請參照圖2B，以圖案化絕緣層208為罩幕進行摻雜製程，其例如是進行離子植入製程，以將摻質離子230摻入未被圖案化絕緣層208覆蓋住的部分第一非晶矽層206內，以降低此處之第一非晶矽層206內的阻抗，以便於在後續製程中做為電晶體之歐姆接觸層。其中，離子230例如是n型或p型的摻質離子，熟習此技藝者可依實際製程所需為n



五、發明說明 (8)

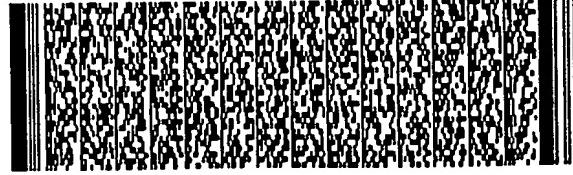
型電晶體或p型電晶體來做選擇。

請參照圖2C，在第一非晶矽層206上形成第二非晶矽層210覆蓋住圖案化絕緣層208。其中，第二非晶矽層210例如是具有摻質之非晶矽層。而具有摻質的第二非晶矽層210的形成方法例如是在第二非晶矽層210的沈積製程（例如是電漿增益化學氣相沈積製程）中，同時進行摻雜製程，也就是所謂的臨場(*in-situ*)摻雜法。

請參照圖2D，然後再圖案化第一非晶矽層206以及第二非晶矽層210而形成第一圖案化非晶矽層206a以及第二圖案化非晶矽層210a，以暴露出部分之閘介電層204，以便於定義出電晶體的主動區域。值得注意的是，第二圖案化非晶矽層210a係同時暴露出閘極202上方之部分圖案化絕緣層208。而圖案化第一非晶矽層206以及第二非晶矽層210的方法例如是微影/蝕刻製程。

請參照圖2E，接著進行雷射退火製程，而本實施例所使用之雷射退火製程例如是準分子雷射退火製程。其係以準分子雷射光束222照射圖2D中所形成之結構，以使部分之第一圖案化非晶矽層206a熔融後再結晶，以形成多晶矽通道區212，如圖2F所示。

特別的是，第二圖案化非晶矽層210a可視為雷射退火製程中的吸收罩幕(energy-absorbing mask)。請參照圖2D至圖2E，由於第二圖案化非晶矽層210a可以吸收準分子雷射光束222的熱能而形成部分或完全具有結晶狀態之

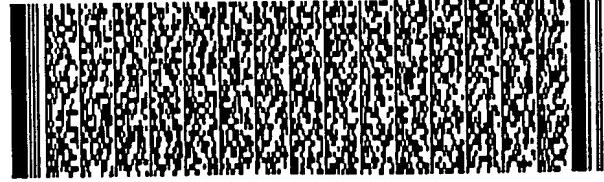
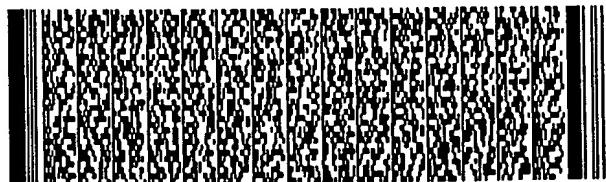


五、發明說明 (9)

矽原子的歐姆接觸層214，因此準分子雷射光束222的能量將於第二圖案化非晶矽層210a中逐漸衰減而無法傳遞至其下方之部分第一圖案化非晶矽層206a中。同時，由於圖案化絕緣層208不會吸收準分子雷射光束222之熱能，因此圖案化絕緣層208下方之部分第一圖案化非晶矽層206a將可吸收準分子雷射光束222之熱能而形成多晶矽通道區212。再加上圖案化絕緣層208下方的部分第一圖案化非晶矽層206a並不具有摻質，所以在第二圖案化非晶矽層210a與圖案化絕緣層208重疊處的下方之部分第一圖案化非晶矽層206a中會自然形成未具有摻質的非晶矽熱載子抑制區216。由此可知，本發明可精確地決定多晶矽與非晶矽的成長區域。且由於非晶矽對電子遷移的阻抗較高，因此非晶矽熱載子抑制區216可有效地降低電晶體內的漏電流。換言之，此處的電場會受到非晶矽的抑制而使得載子不易由電晶體之源極/汲極內射出成為漏電流。

而且，此時所進行的準分子雷射退火製程除了可以使部分的非晶矽熔融後再結晶為多晶矽以外，還可以同時對在摻雜製程中受損的晶格進行修補，使其重新排列以減少其中的晶格缺陷。由此可知，本實施例可節省一道修補晶格的活化 (activation) 製程。

請參照圖2G，之後在歐姆接觸層214以及閘介電層204上形成源極/汲極層218，其材質例如是由金屬或其他導電材料所構成。值得注意的是，當本發明應用在顯示元件的製程中時，由於薄膜電晶體的源極/汲極層218將連接於顯



五、發明說明 (10)

示元件中的資料配線（未繪示），因此可在形成源極/汲極層218的同時一併進行資料配線的製程，以減少製程步驟。

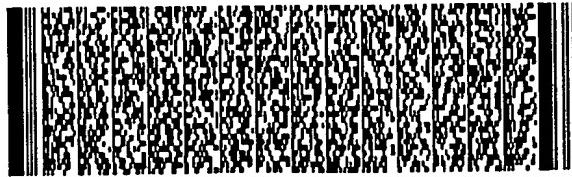
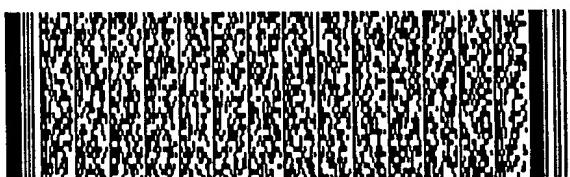
在圖2G大致上已完成低溫多晶矽薄膜電晶體的製作，但一般來說，通常還會在形成源極/汲極層218之後，再形成保護層220覆蓋源極/汲極層218以及圖案化絕緣層208，如圖2H所示，以保護低溫多晶矽薄膜電晶體400之內部元件，避免其在製程中受損。

此外，在本發明之另一實施例中，還可以先形成源極/汲極層218，之後再進行雷射退火製程。以下將舉第二實施例做說明。

第二實施例

圖3A至圖3C繪示為本發明之另一實施例的低溫多晶矽薄膜電晶體之製造部分流程剖面示意圖。請參照圖3A，依照上述圖2A至圖2D之流程所述之說明完成第一圖案化非晶矽層206a與第二圖案化非晶矽層210a之後，接著在基板200以及第二圖案化非晶矽層210a上形成源極/汲極層218。在此，第二圖案化非晶矽層210a即是作為薄膜電晶體的歐姆接觸層。

請參照圖3B，之後再以例如是準分子雷射光束222照射圖3A所完成之結構，以使位於閘極202上方之部分第一圖案化非晶矽層206a熔融後再結晶，以形成多晶矽通道區212，如圖3C所示。此時，由於源極/汲極層的導熱性佳，



五、發明說明 (11)

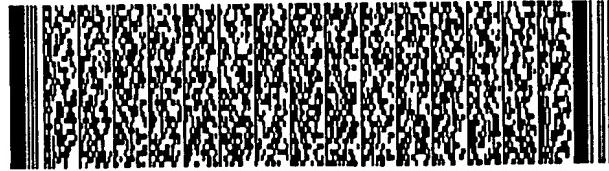
因此位於其下的第二圖案化非晶矽層210a以及第一圖案化非晶矽層206a並無法吸收到準分子雷射光束222的熱能。因此，多晶矽通道區212兩側未摻雜的第一圖案化非晶矽層206a將會自然形成為非晶矽熱載子抑制區216。之後可視實際情況所需選擇是否欲進行圖2H所述之製程而於源極/汲極層218上形成保護層（未繪示）。

另外，本發明還可以視實際製程所需來調整進行摻雜製程的時機。以下將舉實施例加以詳細說明，而下述實施例中之圖式的元件標號與以上所述之實施例的元件標號相同者，其材質皆與上述實施例所述相同或相似，此處將不再贅述。

第三實施例

圖4A至圖4B. 繪示為本發明再一實施例之低溫多晶矽薄膜電晶體之製造部分流程剖面圖。請參照圖4A，依照圖2A所述之流程而在基板200上形成圖案化絕緣層208之後，接著先在第一非晶矽層206上形成第二非晶矽層310覆蓋圖案化絕緣層208。其中，第二非晶矽層310可以是具有摻質或是未具有摻質的非晶矽層。

請參照圖4B，接著再依照圖2D之說明所述，形成第一圖案化非晶矽層206a以及第二圖案化非晶矽層310a。然後以圖案化絕緣層208為罩幕進行摻雜製程，以將摻質離子230摻入部分的第一圖案化非晶矽層206a以及第二圖案化非晶矽層310a。而後續製程則如同前述二實施例之說明。



五、發明說明 (12)

此外，在本發明之另一實施例中，還可以在進行第三實施例之圖4B所說明之摻雜製程前，先進行雷射退火製程，以下將舉第四實施例說明。

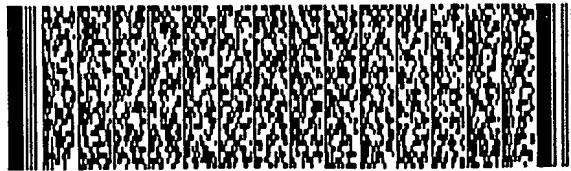
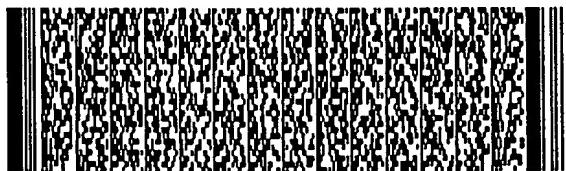
第四實施例

請參照圖5A，在完成圖4A所繪示之結構後，接著例如是以準分子雷射光束222進行準分子雷射退火製程，以使部分第一圖案化非晶矽層206a熔融後再結晶，以形成圖5B所繪示之多晶矽通道區212。在此，如同第一實施例所述，在雷射退火製程中第二圖案化非晶矽層310a亦會吸收準分子雷射光束222的熱能而形成圖案化多晶矽層311（如圖5B所示）。

請參照圖5B，之後再進行摻雜製程以將摻質離子230摻入圖案化多晶矽層311以及未被圖案化絕緣層208覆蓋住的部分第一圖案化非晶矽層206a中，而形成歐姆接觸層214，並自然形成位於多晶矽通道區212兩側之不具摻質的非晶矽熱載子抑制區216，如圖2F所示。

值得注意的是，由於本實施例係在雷射退火製程之後進行摻雜製程，因此在進行摻雜製程之後，必須再進行退火活化(Activation)製程(未繪示)以修補歐姆接觸層214及其下方之部分第一圖案化非晶矽層206a內的晶格缺陷。而完成退火活化製程後，其餘後續製程即如前述實施例之說明。

值得特別注意的是，本發明之製程中所使用的雷射光



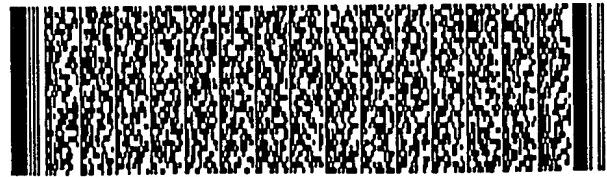
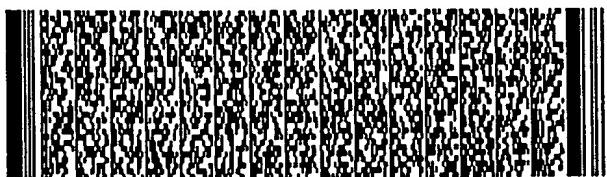
五、發明說明 (13)

束之能量係以能夠形成多晶矽通道區為主。而在此前提下，本發明所使用的雷射光束例如是不足以穿透第二圖案化非晶矽層，甚至例如是僅能使第二圖案化非晶矽成為多晶矽。因此，本發明之歐姆接觸層中可以具有非結晶狀態的矽原子，也可以具有結晶狀態的矽原子，端視之實際製程參數而定。

本發明提供了多種不同的製造流程，均可製造出圖2H所繪示之低溫多晶矽薄膜電晶體。因此，熟習此技藝者可依實際製程要求，由此些製程中擇一而行。以下將詳細說明圖2H所繪示之低溫多晶矽薄膜電晶體400的結構，而各元件的形成方法已於上述實施例中說明，以下不再贅述。

請參照圖2H，低溫多晶矽薄膜電晶體400主要是由基板200以及配置在基板200上的結構所構成。而此結構包括閘極202、閘介電層204、圖案化絕緣層208、圖案化矽層402、歐姆接觸層214、源極/汲極層218以及保護層220。其中，閘極202、與閘介電層204係依序配置在基板200上，圖案化矽層402係配置在閘介電層204上，且特別的是，圖案化矽層402包括位於閘極202上方的多晶矽通道區212以及位於多晶矽通道區212兩側的非晶矽熱載子抑制區216。而圖案化絕緣層208係配置在圖案化矽層402上，其材質例如是氧化矽或是氮化矽。

歐姆接觸層214係配置在部分的閘介電層204以及非晶矽熱載子抑制區216上方的部分圖案化絕緣層208上，而暴露出多晶矽通道區212上方的部分圖案化絕緣層208，並與



五、發明說明 (14)

非晶矽熱載子抑制區216連接。其中，歐姆接觸層214例如是n型多晶矽摻雜歐姆接觸層或p型多晶矽摻雜歐姆接觸層。換言之，低溫多晶矽薄膜電晶體400例如是n型電晶體或p型電晶體。

源極/汲極層218係配置在歐姆接觸層214與閘介電層204上，而保護層220則係配置在源極/汲極層218以及圖案化絕緣層208上，用以保護低溫多晶矽薄膜電晶體400內部元件，以避免其在後續製程中受損。

綜上所述，本發明具有下列優點：

1. 與習知之低溫多晶矽薄膜電晶體的製程相較之下，可少一道LDD製程與光罩，以節省製造成本。

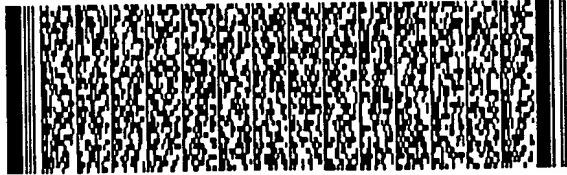
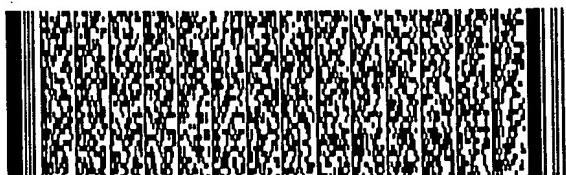
2. 在本發明之低溫多晶矽薄膜電晶體的製程中，係以第二圖案化非晶矽層做為雷射退火製程中的吸收罩幕，因此可有效地控制多晶矽與非晶矽成長的區域。

3. 非晶矽熱載子抑制區可使晶粒由多晶矽通道區的兩側往中央成長，進而使多晶矽通道區中的晶粒具有較佳之尺寸均勻性。

4. 同時兼具多晶矽薄膜電晶體之高驅動電流(I_{ON})以及非晶矽薄膜電晶體之低漏電流(I_{OFF})的特性，因而具有較高的 I_{ON}/I_{OFF} 比值，以改善低溫多晶矽薄膜電晶體的電特性。

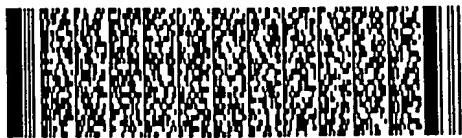
5. 舊有非晶矽生產線轉為生產底閘極多晶矽之可行性高，可節省成本。

雖然本發明已以較佳實施例揭露如上，然其並非用以



五、發明說明 (15)

限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

圖1A至圖1E繪示為習知底閘極型態的低溫多晶矽薄膜電晶體的製造流程剖面示意圖。

圖2A至圖2H繪示為本發明一較佳實施例的一種低溫多晶矽薄膜電晶體的製造流程剖面示意圖。

圖3A至圖3C繪示為本發明之另一實施例的低溫多晶矽薄膜電晶體之製造部分流程剖面示意圖。

圖4A至圖4B繪示為本發明再一實施例之低溫多晶矽薄膜電晶體之製造部分流程剖面圖。

圖5A至圖5B繪示為本發明之另一實施例的低溫多晶矽薄膜電晶體之製造部分流程剖面示意圖。

【圖式標示說明】

100、200：基板

102、202：閘極

104、204：閘介電層

106：非晶矽層

106、311：圖案化多晶矽層

108：氧化矽層

110、214：歐姆接觸層

112：通道層

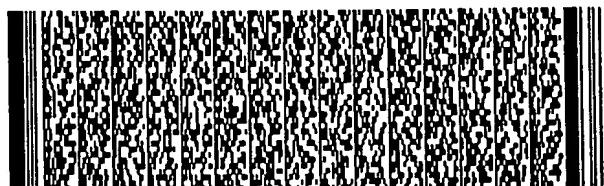
114：淺摻雜汲極

116、218：源極/汲極層

118、222：準分子雷射光束

120、400：低溫多晶矽薄膜電晶體

130、140、230：離子



圖式簡單說明

206 : 第一非晶矽層

206a : 第一圖案化非晶矽層

208 : 圖案化絕緣層

210、310 : 第二非晶矽層

210a、310a : 第二圖案化非晶矽層

212 : 多晶矽通道區

216 : 非晶矽熱載子抑制區

220 : 保護層

402 : 圖案化矽層



六、申請專利範圍

1. 一種低溫多晶矽薄膜電晶體結構，適於配置在一基板上，該低溫多晶矽薄膜電晶體結構包括：

一閘極，配置於該基板上；

一閘介電層，配置於該基板與該閘極上；

一圖案化矽層，配置於該閘介電層上，並位於該閘極上方，其中該圖案化矽層包括一多晶矽通道區以及位於該多晶矽通道區兩側之一非晶矽熱載子抑制區；

一圖案化絕緣層，配置該矽層上；

一歐姆接觸層，配置於部分之該閘介電層以及該非晶矽熱載子抑制區上方之部分該圖案化絕緣層上而暴露出該多晶矽通道區上方之部分該圖案化絕緣層，並連接該非晶矽熱載子抑制區；以及

一源極/汲極層，配置於該歐姆接觸層上。

2. 如申請專利範圍第1項所述之低溫多晶矽薄膜電晶體結構，更包括一保護層，配置於該源極/汲極層上，並覆蓋該絕緣層。

3. 如申請專利範圍第1項所述之低溫多晶矽薄膜電晶體結構，其中該歐姆接觸層包括一n型摻雜歐姆接觸層以及一p型摻雜歐姆接觸層其中之一。

4. 如申請專利範圍第1項所述之低溫多晶矽薄膜電晶體結構，其中該絕緣層的材質包括氧化矽以及氮化矽其中之一。

5. 一種低溫多晶矽薄膜電晶體的製造方法，包括：

於一基板上形成一閘極；



六、申請專利範圍

於該基板與該閘極上形成一閘介電層；

於該閘介電層上依序形成一第一非晶矽層、一圖案化絕緣層、一第二非晶矽層，其中該圖案化絕緣層係配置於部分該第一非晶矽層上，且位於該閘極上方，而該第二非晶矽層係配置於該第一非晶矽層以及該圖案化絕緣層上；

图案化該第一非晶矽層以及該第二非晶矽層而形成一暴露出之該閘介電層，其中該第二圖案化非晶矽層並暴露出部分之該圖案化絕緣層；

令部分該第一圖案化非晶矽層熔融後再結晶，以於該閘極上方形成一多晶矽通道區，其中在該第二圖案化非晶矽層與該圖案化絕緣層重疊處下方之部分該第一圖案化非晶矽層中自然形成一非晶矽熱載子抑制區；以及

於該第二圖案化非晶矽層上形成一源極/汲極層。

6. 如申請專利範圍第5項所述之低溫多晶矽薄膜電晶體的製造方法，其中形成該多晶矽通道區的步驟中包括進行一雷射退火製程。

7. 如申請專利範圍第6項所述之低溫多晶矽薄膜電晶體的製造方法，其中該雷射退火製程包括一準分子雷射退火製程。

8. 如申請專利範圍第5項所述之低溫多晶矽薄膜電晶體的製造方法，其中在形成該圖案化絕緣層之後與形成該第二非晶矽層之前，更包括對部分之該第一非晶矽層進行



六、申請專利範圍

摻雜。

9. 如申請專利範圍第5項所述之低溫多晶矽薄膜電晶體的製造方法，其中在形成該第二非晶矽層之後與形成該源極/汲極層之前，更包括對部分之該第一非晶矽層以及該第二非晶矽層進行摻雜。

10. 如申請專利範圍第9項所述之低溫多晶矽薄膜電晶體的製造方法，其中在形成該多晶矽通道區之後與形成該源極/汲極層之前，更包括對部分之該第一非晶矽層以及該第二圖案化非晶矽層進行摻雜。

11. 如申請專利範圍第10項所述之低溫多晶矽薄膜電晶體的製造方法，其中在對部分之該第一非晶矽層以及該第二圖案化非晶矽層進行摻雜之後與形成該源極/汲極層之前，更包括對部分之該第一非晶矽層以及該第二圖案化非晶矽層進行一退火活化製程。

12. 如申請專利範圍第5項所述之低溫多晶矽薄膜電晶體的製造方法，更包括在該源極/汲極層上形成一保護層，並覆蓋住該絕緣層。

13. 如申請專利範圍第5項所述之低溫多晶矽薄膜電晶體的製造方法，其中在形成該多晶矽通道區時，更包括同時令該第二圖案化非晶矽層熔融後再結晶。

14. 一種低溫多晶矽薄膜電晶體的製造方法，包括：
於一基板上形成一閘極；
於該基板與該閘極上形成一閘介電層；
依序形成一第一非晶矽層、一圖案化絕緣層以及一第



六、申請專利範圍

二非晶矽層，其中該圖案化絕緣層係配置於部分該第一非晶矽層上，且位於該開極上方，而該第二非晶矽層係配置於該第一非晶矽層以及該圖案化絕緣層上；

該第一非晶矽層以及該第二非晶矽層而形成一露出第一圖案化非晶矽層與一第二圖案化非晶矽層，以暴露部分之該開介電層，其中該第二圖案化非晶矽層並暴露出部分之該圖案化絕緣層；

於該第二圖案化非晶矽層上形成一源極/汲極層；以及

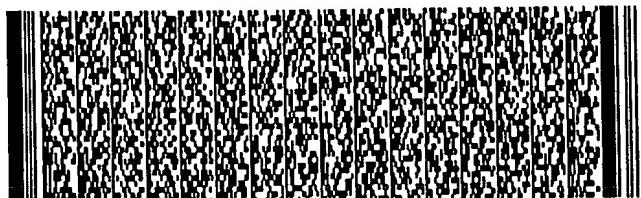
令部分該第一圖案化非晶矽層熔融後再結晶，以於該開極上方形成一多晶矽通道區，其中在該第二圖案化非晶矽層與該圖案化絕緣層重疊處下方之部分該第一圖案化非晶矽層中係自然形成一非晶矽熱載子抑制區。

15. 如申請專利範圍第14項所述之低溫多晶矽薄膜電晶體的製造方法，其中形成該多晶矽通道區的步驟中包括進行一雷射退火製程。

16. 如申請專利範圍第15項所述之低溫多晶矽薄膜電晶體的製造方法，其中該雷射退火製程包括一準分子雷射退火製程。

17. 如申請專利範圍第14項所述之低溫多晶矽薄膜電晶體的製造方法，其中在形成該圖案化絕緣層之後與形成該第二非晶矽層之前，更包括對部分之該第一非晶矽層進行摻雜。

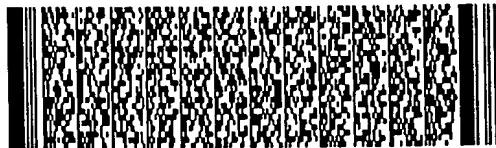
18. 如申請專利範圍第14項所述之低溫多晶矽薄膜電



六、申請專利範圍

晶體的製造方法，其中在形成該第二非晶矽層之後與形成該源極/汲極層之前，更包括對部分之該第一非晶矽層以及該第二非晶矽層進行摻雜。

19. 如申請專利範圍第18項所述之低溫多晶矽薄膜電晶體的製造方法，其中在對部分之該第一非晶矽層以及該第二非晶矽層進行摻雜之後，更包括對部分之該第一非晶矽層以及該第二非晶矽層進行一活化製程。



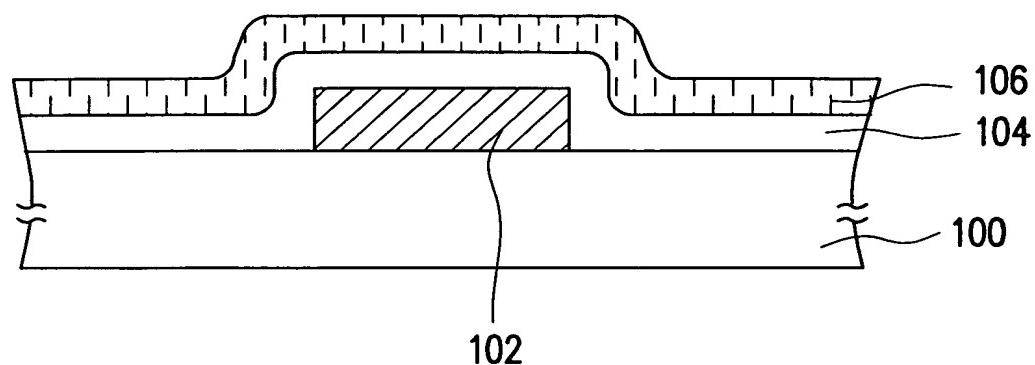
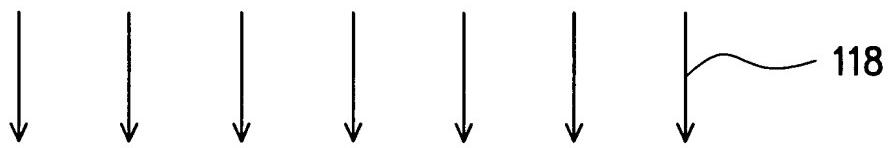


圖 1A

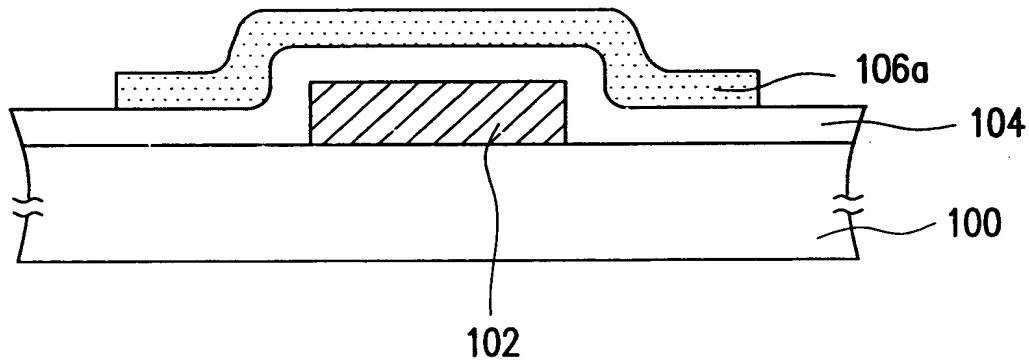


圖 1B

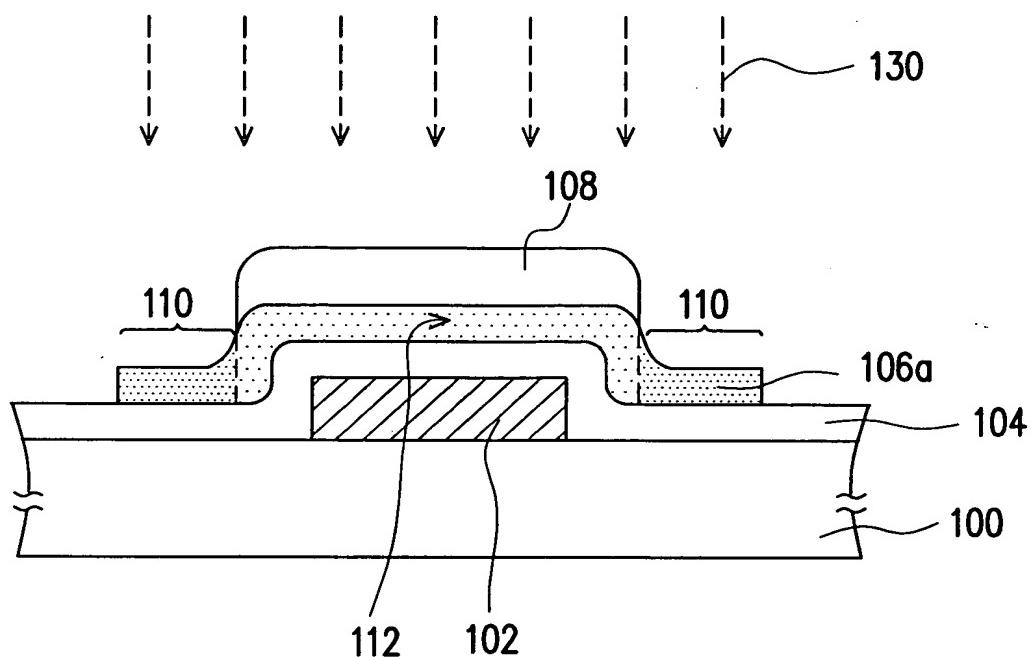


圖 1C

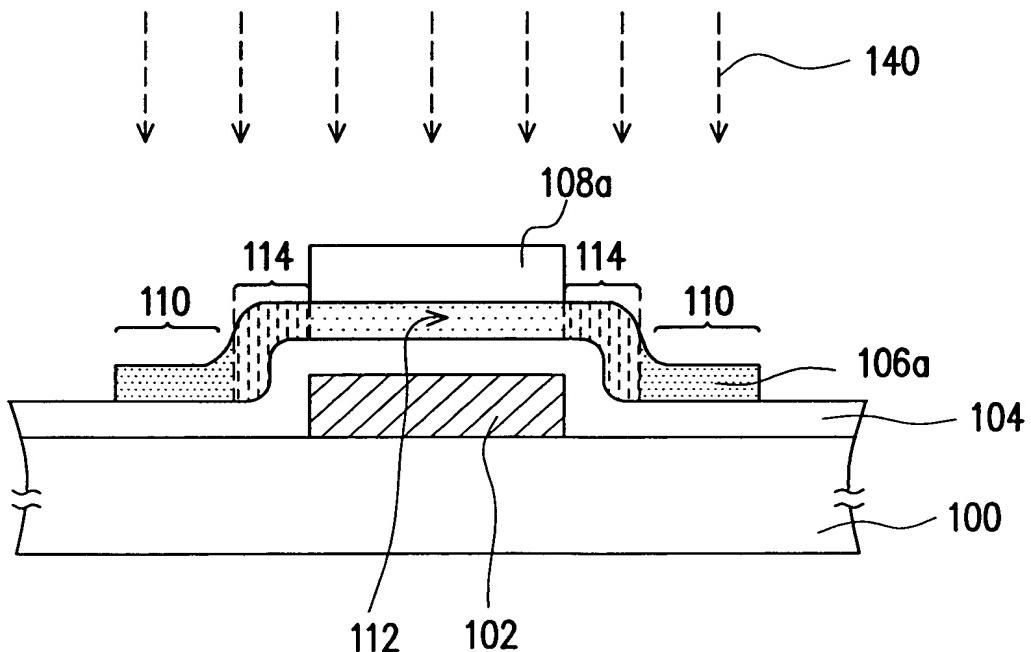


圖 1D

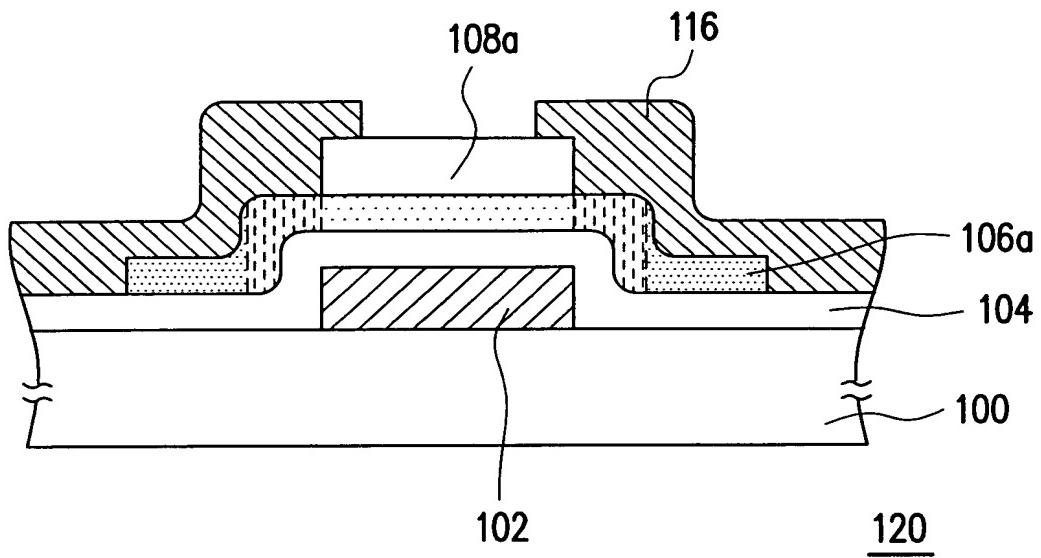


圖 1E

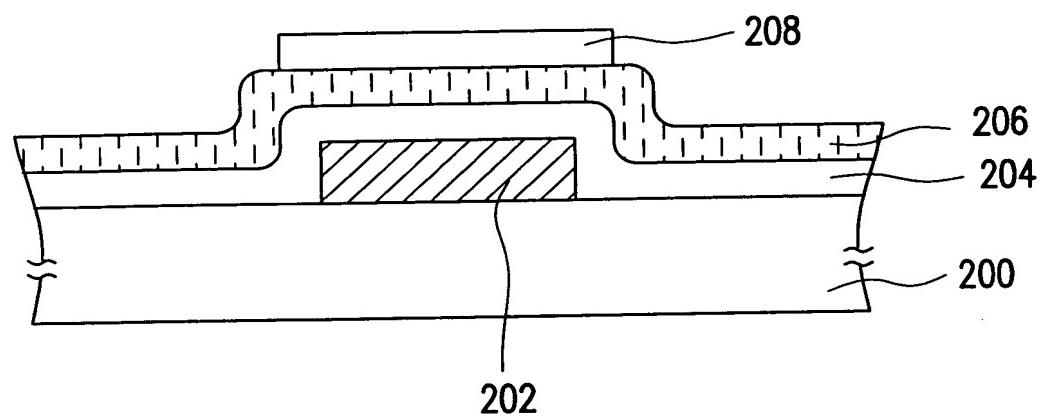


圖 2A

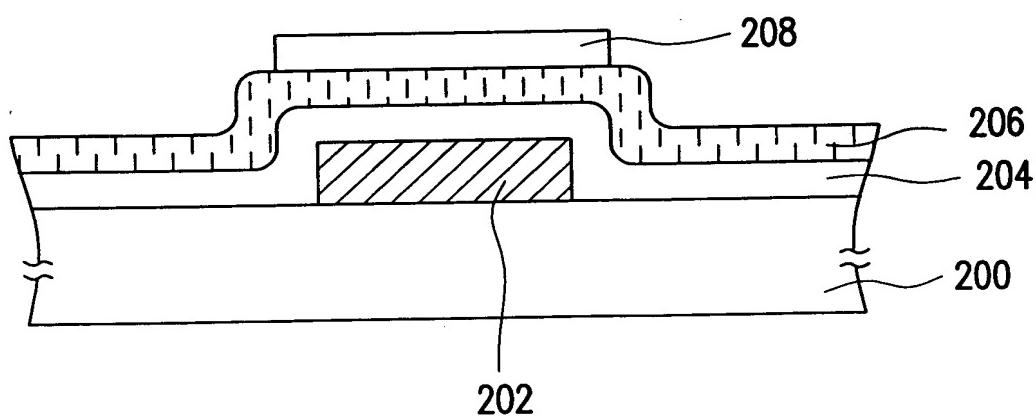
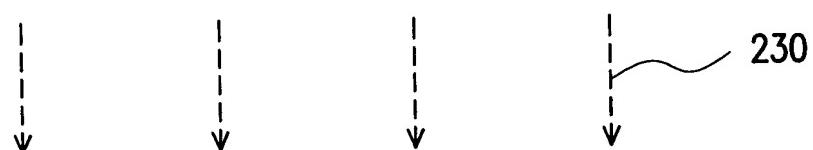


圖 2B

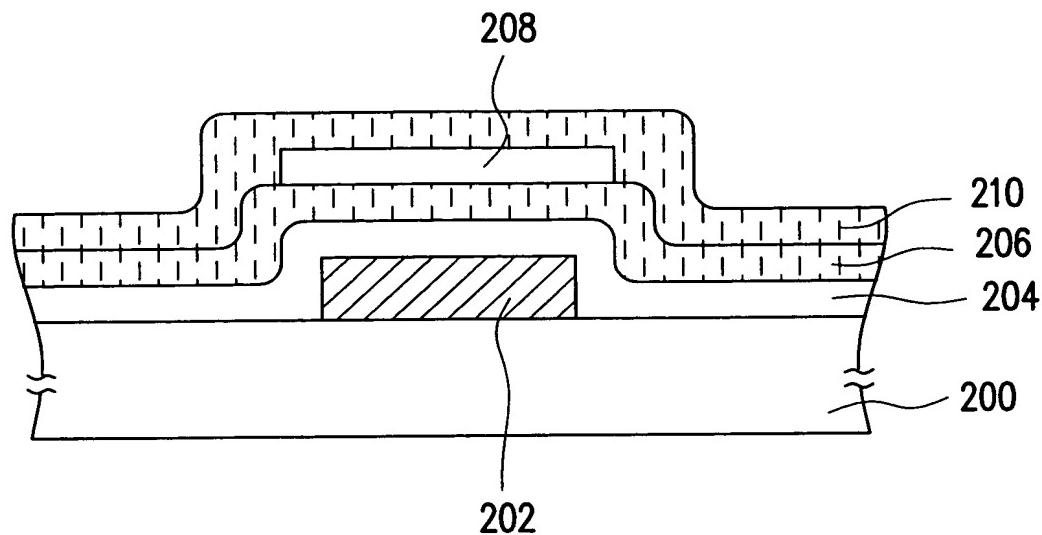


圖 2C

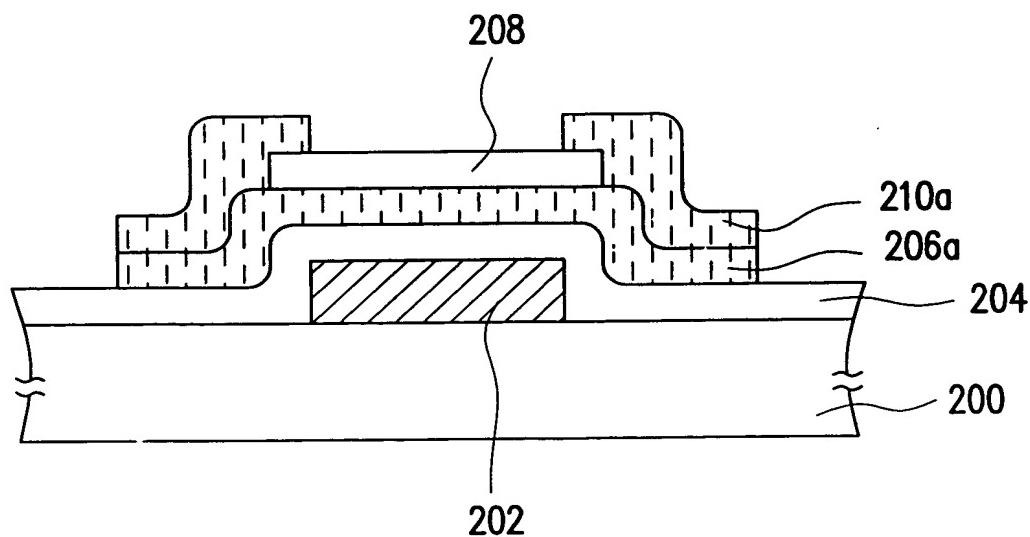


圖 2D

13137TW-I

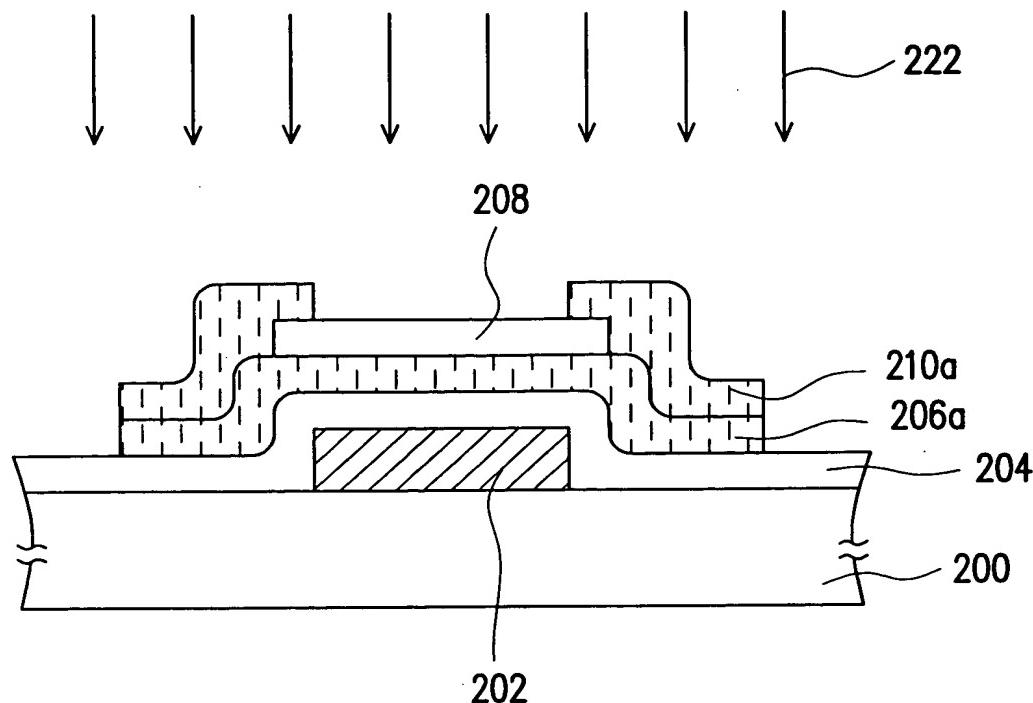


圖 2E

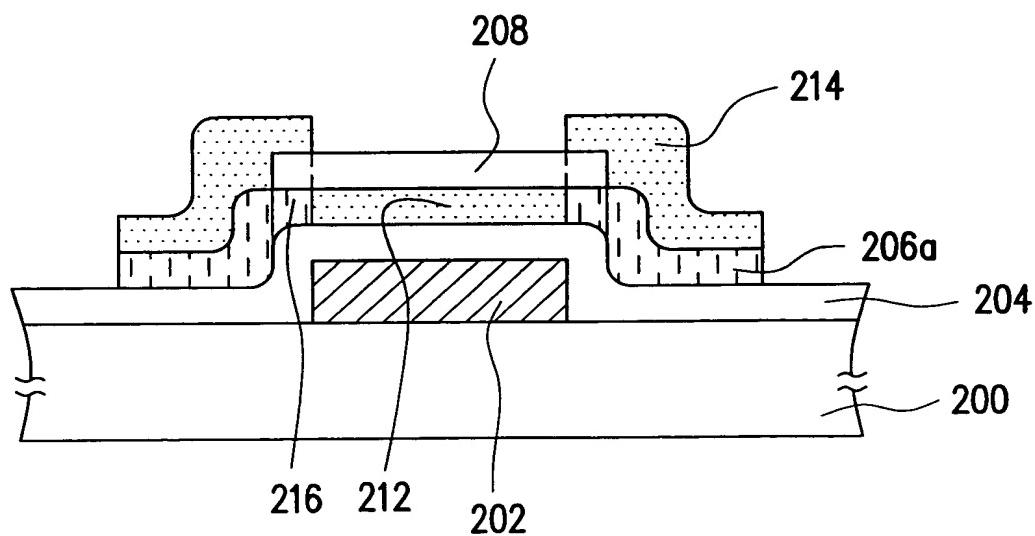


圖 2F

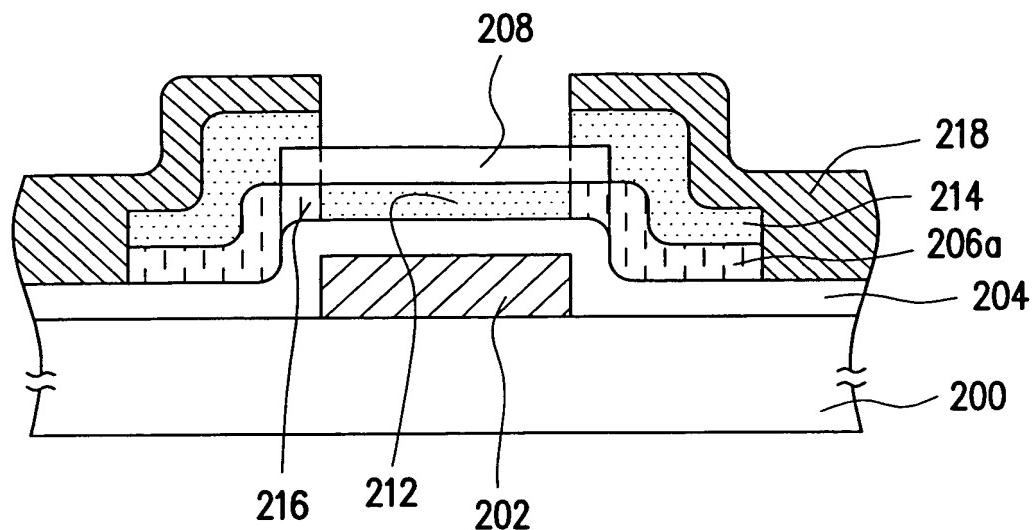


圖 2G

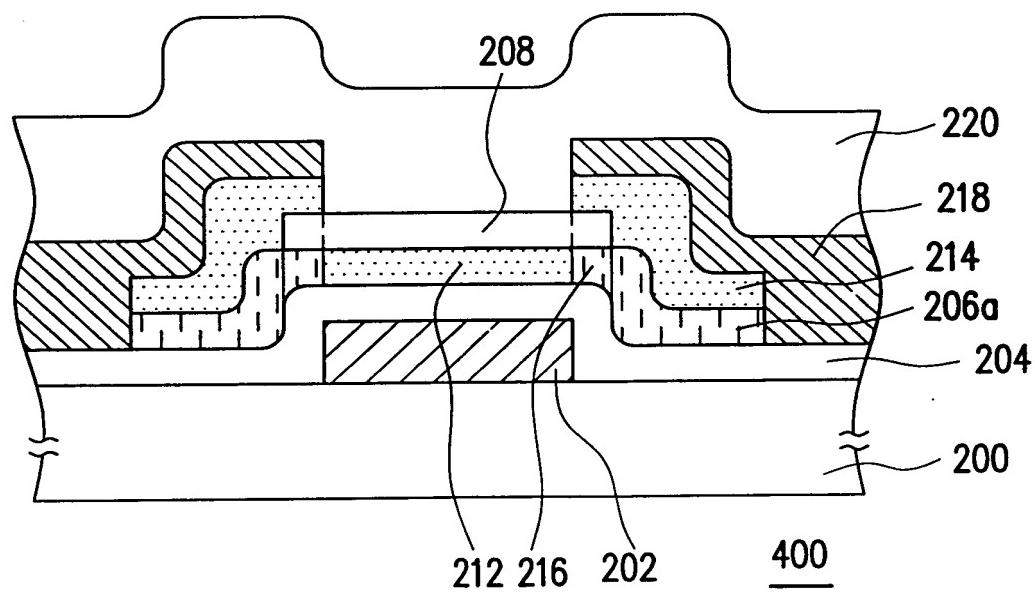


圖 2H

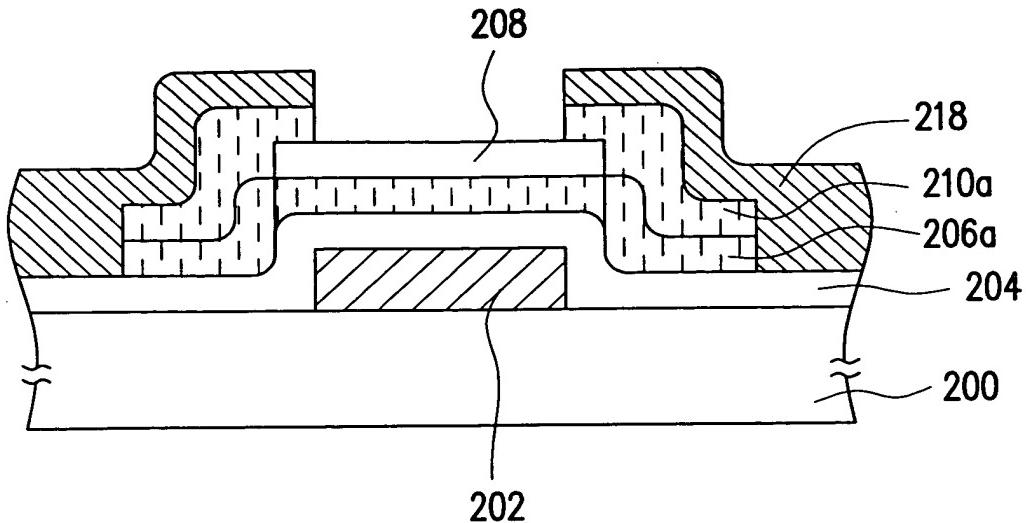


圖 3A

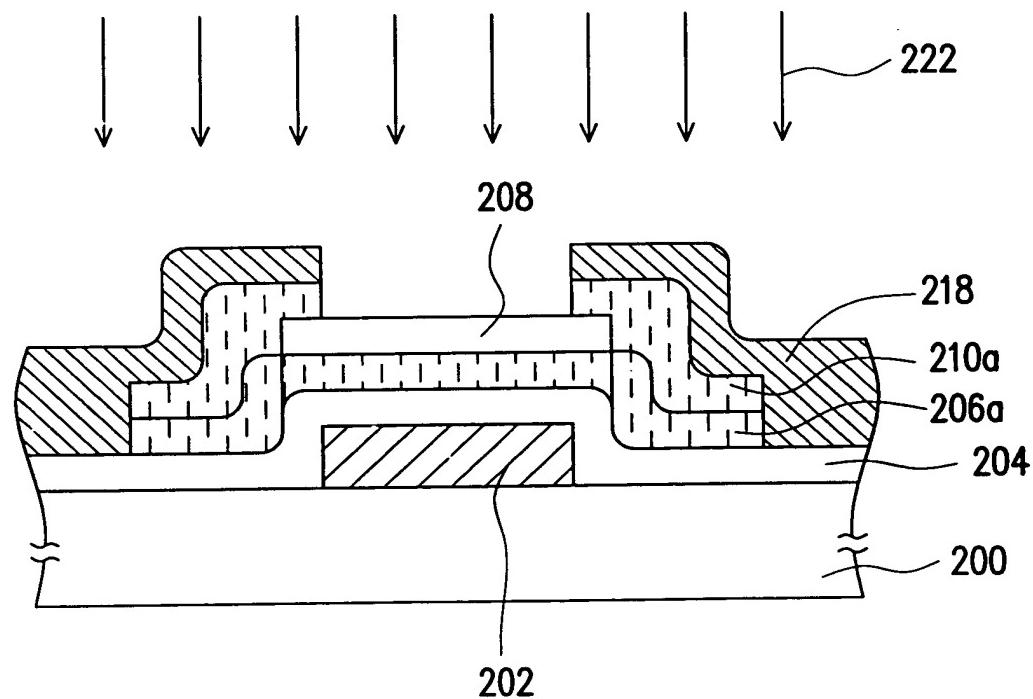


圖 3B

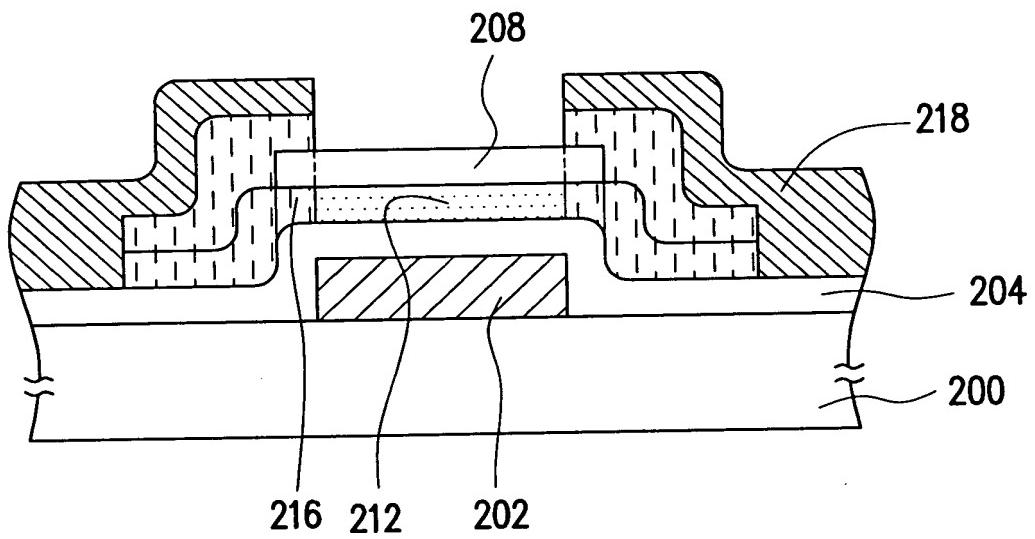


圖 3C

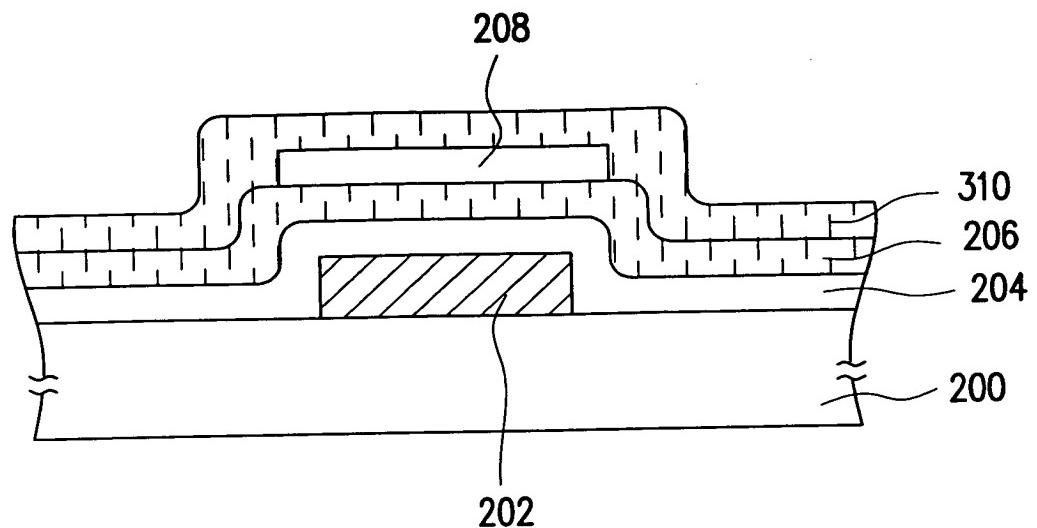


圖 4A

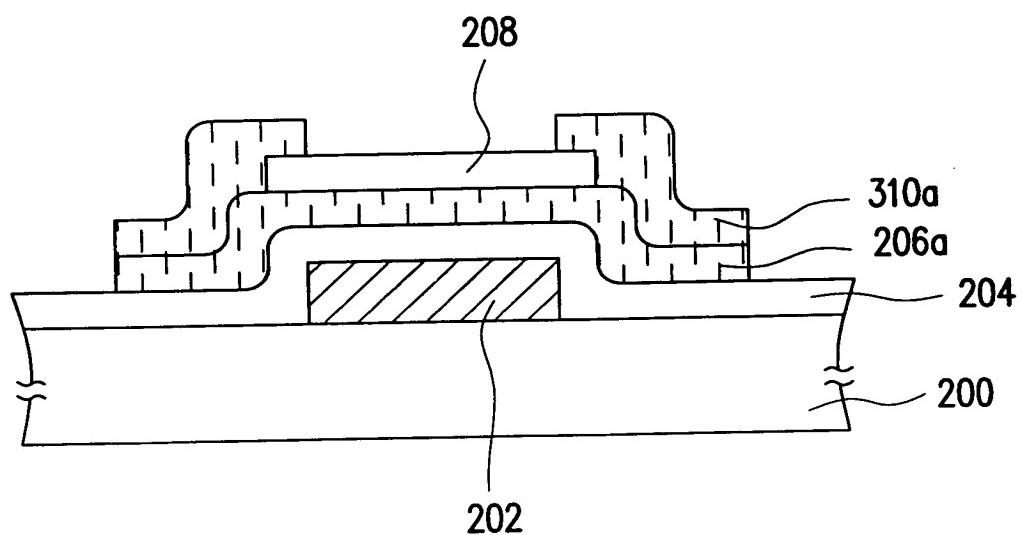
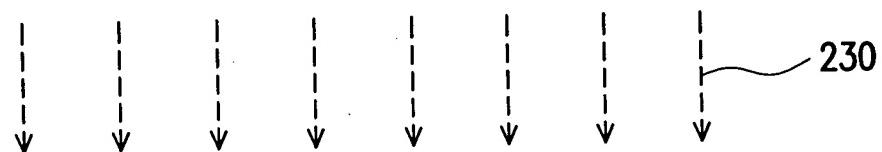


圖 4B

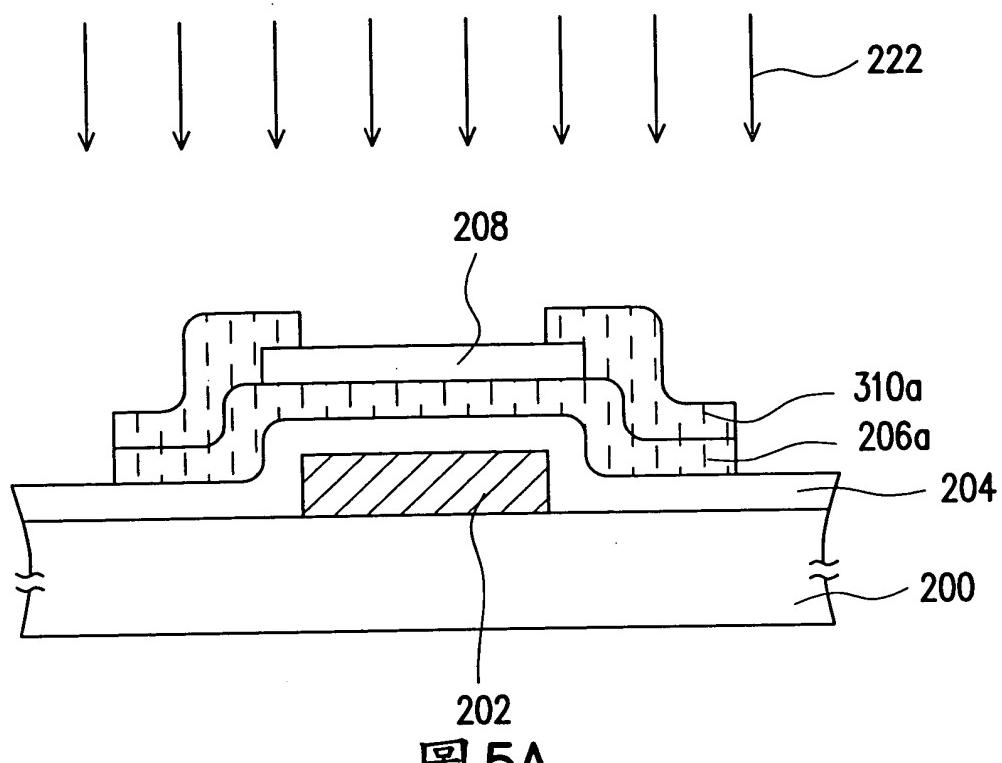


圖 5A

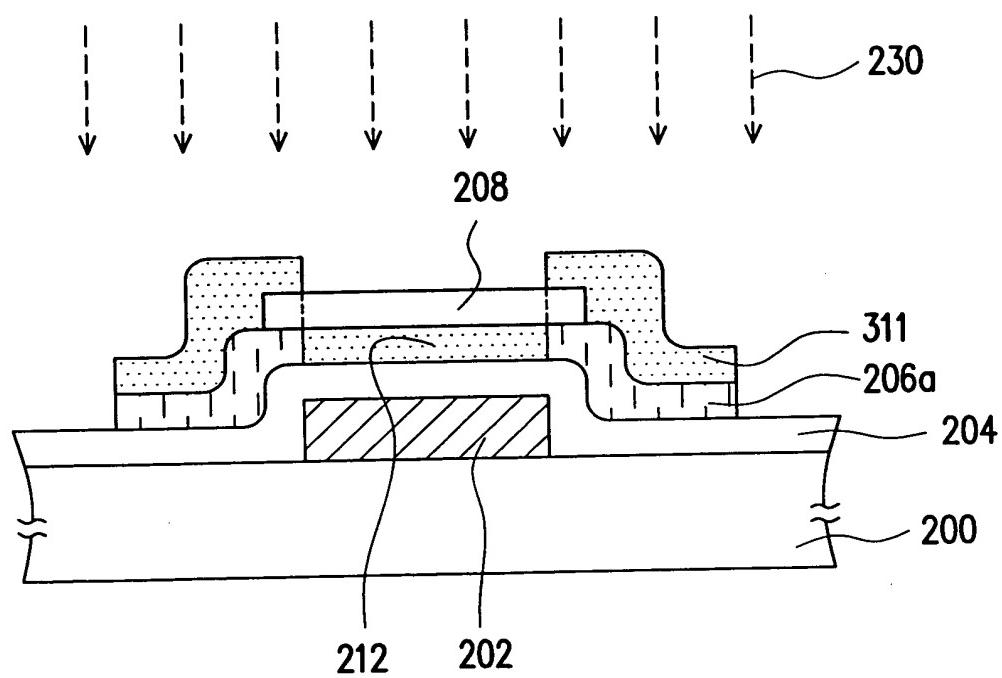
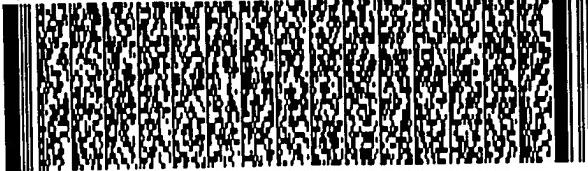
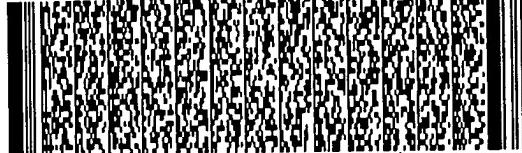


圖 5B

第 1/29 頁



第 2/29 頁



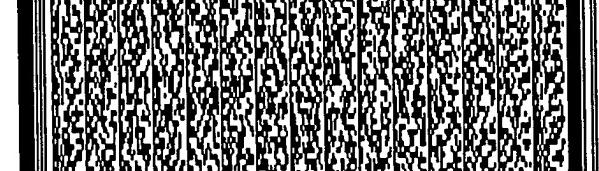
第 4/29 頁



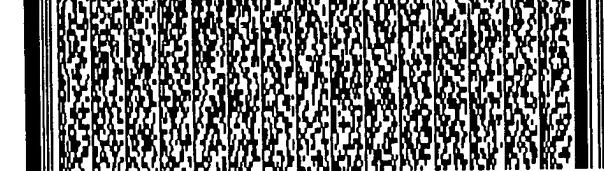
第 6/29 頁



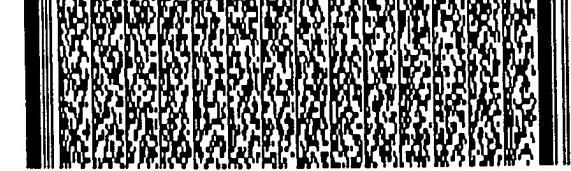
第 8/29 頁



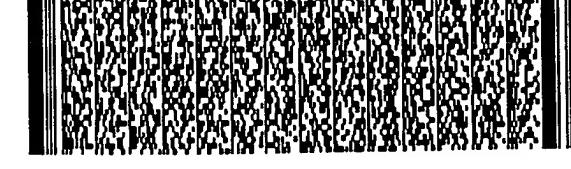
第 9/29 頁



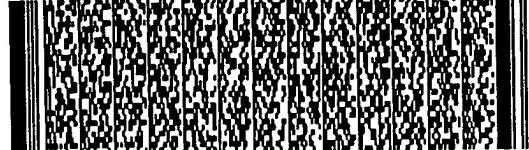
第 10/29 頁



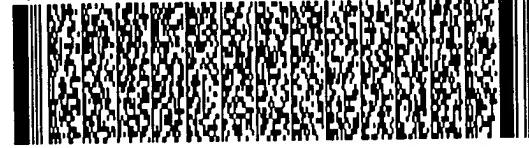
第 11/29 頁



第 2/29 頁



第 3/29 頁



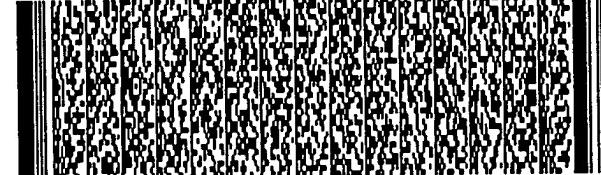
第 5/29 頁



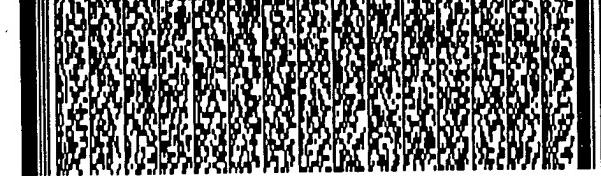
第 7/29 頁



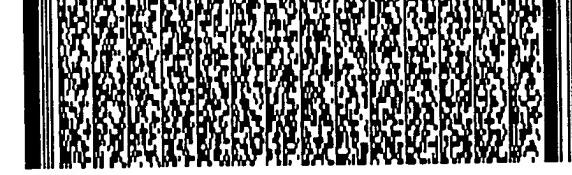
第 8/29 頁



第 9/29 頁



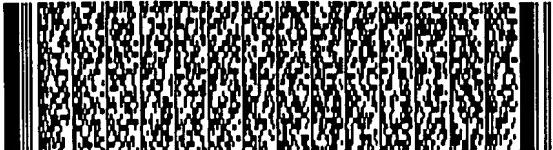
第 10/29 頁



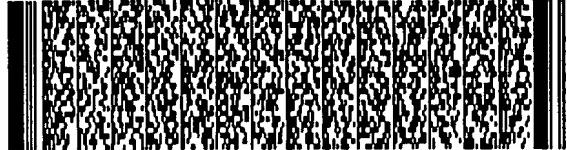
第 11/29 頁



第 12/29 頁



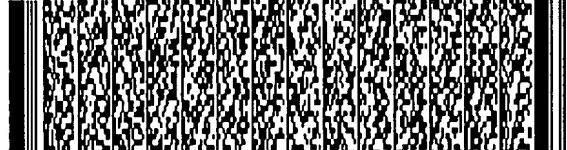
第 12/29 頁



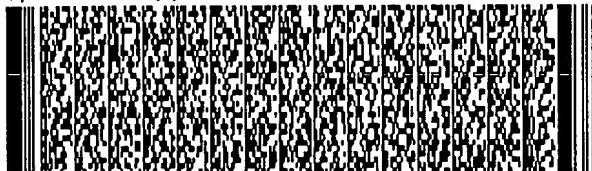
第 13/29 頁



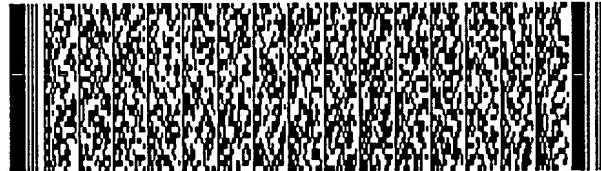
第 13/29 頁



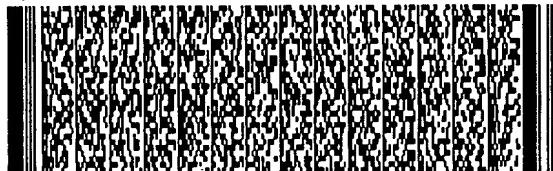
第 14/29 頁



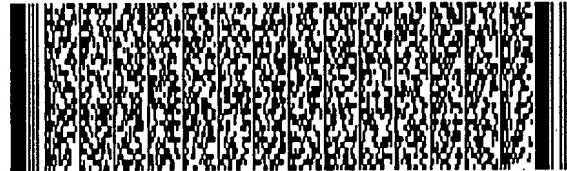
第 14/29 頁



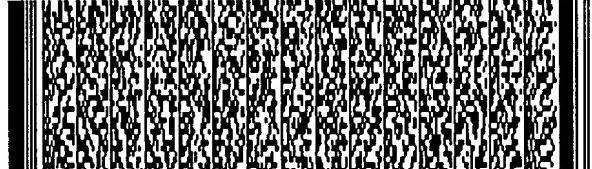
第 15/29 頁



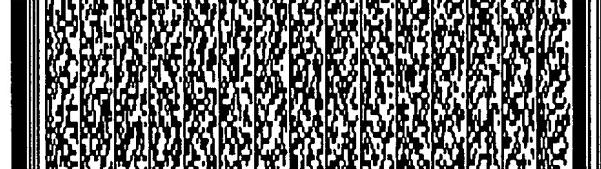
第 15/29 頁



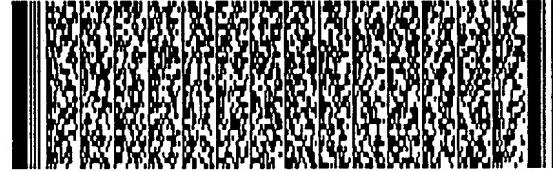
第 16/29 頁



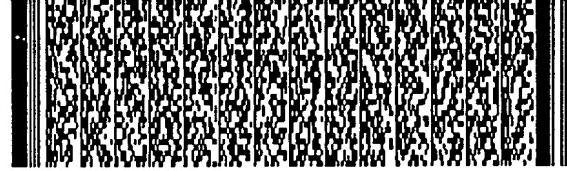
第 16/29 頁



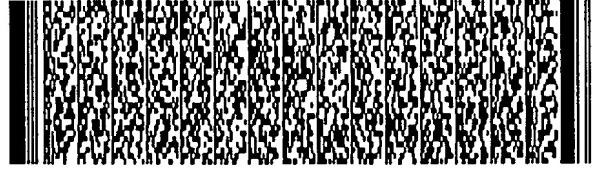
第 17/29 頁



第 17/29 頁



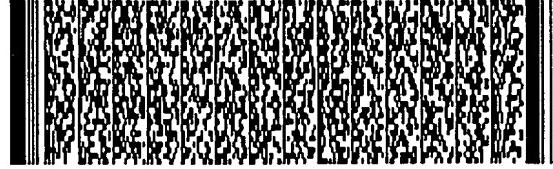
第 18/29 頁



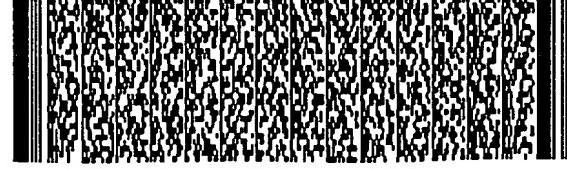
第 18/29 頁



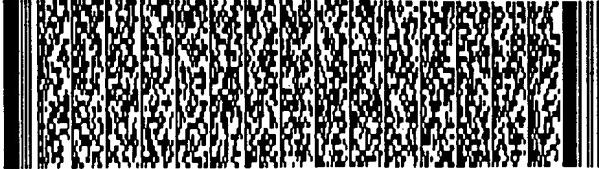
第 19/29 頁



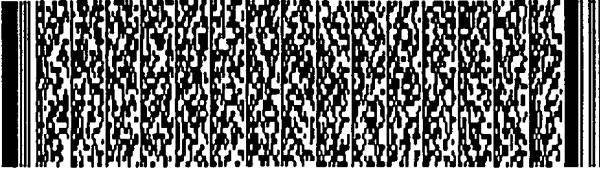
第 19/29 頁



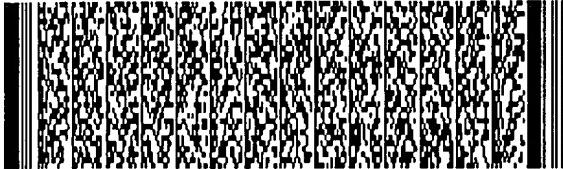
第 20/29 頁



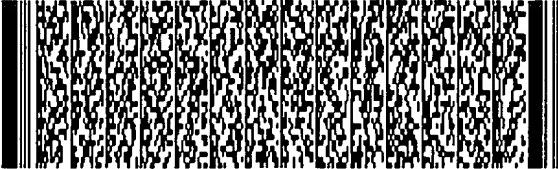
第 20/29 頁



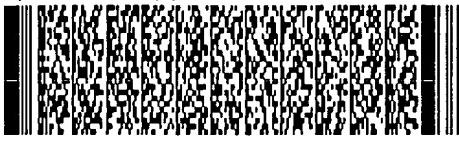
第 21/29 頁



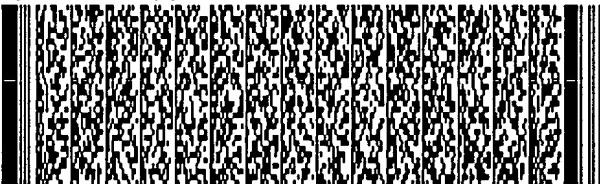
第 21/29 頁



第 22/29 頁



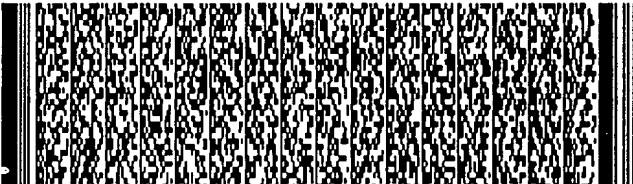
第 23/29 頁



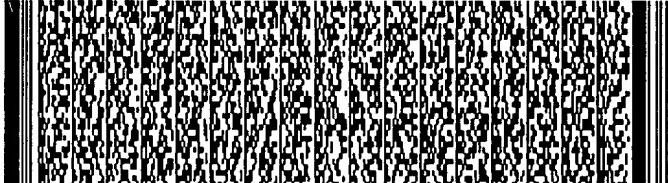
第 24/29 頁



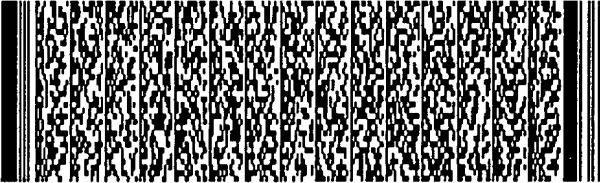
第 25/29 頁



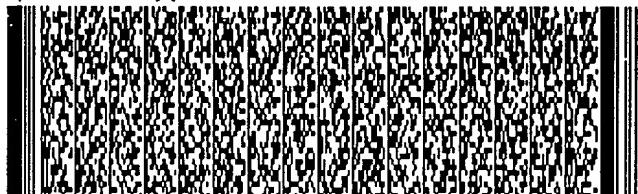
第 26/29 頁



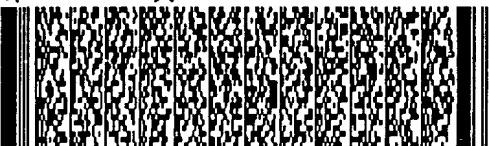
第 27/29 頁



第 28/29 頁



第 29/29 頁



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.